



Minicurso on-line sobre

“ADCs SAR extremos – explorando novas fronteiras ”

Prof. Chi-Hang Chan (Universidade de Macau)

Datas: 7/9/13/16/20/23/27/30 de maio de 2024

Palestras com zoom virtual ao vivo

ESBOÇO DE CURSO

O apetite cada vez maior por taxas de dados mais altas, da comunicação ao setor automotivo, ao industrial, à saúde, à computação em nuvem e à IA, é a força motriz por trás da pesquisa e desenvolvimento contínuos de ADCs do tipo SAR multi-GSPS em resoluções estendidas.

Este curso de ponta celebra vinte anos de notáveis inovações na arquitetura SAR ADC intercalado no tempo (TI) e técnicas inspiradas de design de circuitos, desde a primeira implementação relatada de 600MSPS TI SAR ADC de 6 bits em CMOS digital de 90nm no ISSCC 2004, fornecendo um passo a passo aprofundado de considerações teóricas a práticas sobre ADCs SAR de velocidade extrema. Os participantes serão guiados desde conceitos fundamentais até implementações de última geração, seguidos de estudos de casos práticos, explorando continuamente novas fronteiras para ampliar o desempenho atual.

O curso começa com um mergulho profundo nas topologias intercaladoras de ADCs TI SAR massivos, discutindo não-idealidades, considerações de design, técnicas de modelagem e estudo de caso detalhado.

Em seguida, prestamos atenção específica aos desafios de design e soluções de blocos periféricos que são essenciais para TI ADCs massivos de alto desempenho: o buffer de entrada e o buffer de referência.

Outros blocos ADC SAR importantes, ou seja, amostrador extremo, comparador, amplificador de resíduos e clocking, também são examinados, progredindo de conceitos fundamentais a técnicas avançadas seguidas de estudos de caso abrangentes.

Posteriormente, o curso explora duas arquiteturas conhecidas por sua alta velocidade e eficiência energética: SAR e Pipeline-SAR ADCs. A ênfase estará nas suas variedades de implementação de alta velocidade, que são especificamente adequadas para intercalação extensiva. Mais uma vez, as palestras seguem uma progressão desde conceitos fundamentais até avanços de última geração, resumindo com estudos de caso.

Seguindo em frente, os ADCs TI SAR assistidos digitalmente são apresentados com uma discussão aprofundada sobre não-idealidades e técnicas de calibração entre canais, incluindo calibração de distorção de buffer de entrada.

O curso terminará com uma discussão sobre boas práticas de layout, dicas e considerações para a implementação bem-sucedida de ADCs avançados do tipo SAR de altíssima velocidade.

O público-alvo recomendado para este curso são engenheiros de projeto de sinais analógicos e mistos que desejam entrar no projeto de ADC, bem como aqueles que já trabalham com ADCs, interessados em aprender técnicas avançadas de projeto de ADC de ultra-alta velocidade. A familiaridade com os conceitos fundamentais da ADC será benéfica, mas não é um pré-requisito.

Duração: 16 horas

Formato: 8 sessões 'ao vivo-virtuais', programadas para um período de 4 semanas, com palestras duas vezes por semana de 2 horas, incluindo perguntas e respostas interativas. Cada palestra emocionante consistirá em uma apresentação padrão seguida de estudos de caso.

Trabalho: As tarefas de casa (opcionais) consolidarão o aprendizado das aulas teóricas.

Incluído: notas do curso (PDF), tarefas de casa (PDF), página inicial do curso, reprodução de palestras* (até 12 meses), fórum de aula e certificado de participação.

*Facilita a oportunidade de acompanhar as palestras perdidas devido à diferença de fuso horário, prazos de trabalho, etc. ou simplesmente revisar as gravações das palestras em seu próprio ritmo e conveniência.

Tarifas**Tarifa para reservas antecipadas: EUR 495 (pagamento/encomenda até 03/03/2024)**

Prorrogado até 15 de março de 2024

Tarifa Standard: EUR 645 (Pagamento/PO De 03/04/2024) A partir de 16 de março de 2024

Para inscrição no curso, mais informações ou assinatura da nossa newsletter

CONTATO

Programa do curso

Todas as palestras @ (22h00-00h00 Tóquio) = (15h00-17h00 Milão) = (14h00-16h00 Dublin) = (09h00-11h00 Boston) = (06:00: 00h00-08h00 São Diego)

7 de maio de 2024

Palestra nº 1 – ADCs SAR massivos intercalados no tempo – Um mergulho profundo nas não-idealidades intercaladas no tempo; Topologias de Intercalador Front-End; Modelagem; Incertezas; Estudo de caso

9 de maio de 2024

Aula #2 – Buffer de Entrada e Buffer de Referência – Prejuízos e Remediações de Distorções; Topologias de buffer de entrada; Técnicas de Linearização; Estudo de caso; Ondulação de Referência; Topologias de buffer de referência; Técnicas de Supressão de Ondulações; Estudo de caso

13 de maio de 2024

Aula #3 – Samplers e comparadores extremos inicializados; Comparadores Dinâmicos; Barulho; Offset e Metaestabilidade

16 de maio de 2024

Aula #4 – Visão geral do clock e do amplificador extremo Jitter; Retemporizador; Amplificadores de resíduos de malha aberta e fechada

20 de maio de 2024

Palestra #5 – ADCs SAR de baixa resolução e alta velocidade de última geração Bit único/ciclo; Multibit/ciclo; DAC; Circuito SAR; Lógica SAR; Redundância; Estudo de caso

23 de maio de 2024

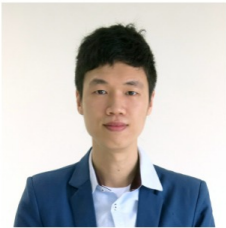
Palestra #6 – Resolução Estendida e Alta Velocidade: Visão Geral dos ADCs Pipeline-SAR; Comparação com ADCs SAR; MDACs de última geração; Estudo de caso

27 de maio de 2024

Aula nº 7 - Técnicas de calibração de deslocamento, ganho, distorção de tempo e distorção de buffer de entrada de ADCs SAR intercalados no tempo assistidos digitalmente

30 de maio de 2024

Aula nº 8 – Fluxo de projeto de práticas de design e verificação de ADC de alta velocidade; Caminhos Críticos; Planejamento de Layout de Energia/Terreno; Estudo de caso



Chi-Hang Chan recebeu o diploma de bacharelado em engenharia elétrica pela Universidade de Washington, Seattle, EUA, em 2008, o mestrado e o doutorado. licenciatura pela Universidade de Macau, Macau, China, em 2012 e 2015, respectivamente.

Ele foi cientista especial na Universidade da Califórnia, Los Angeles, EUA, em 2016, trabalhando em conversores analógico-digitais (ADCs) de alto desempenho.

O Prof. Chan é actualmente Professor Associado na Universidade de Macau, Macau, China, onde lidera uma grande equipa de investigação, trabalhando em vários tipos de ADCs, PLLs, Smart Time-of-Flight e IA. Seus interesses de pesquisa incluem Nyquist de alta velocidade, ADCs de sobreamostragem de banda larga, calibrações de ADC, PLLs baseados em osciladores de anel e circuitos de sinais mistos.

Ele publicou mais de 100 artigos revisados por pares, incluindo 18 artigos ISSCC, 22 artigos JSSC, 26 conferências Solid-State e artigos de conferências VLSI entre 2011-2024.

Chan é vencedor de vários prémios, incluindo 5 vezes o Prémio de Invenção Tecnológica do Fundo de Desenvolvimento da Ciência e Tecnologia de Macau (FDCT) por excelentes realizações académicas e de investigação em microelectrónica. Ele recebeu o prémio de pré-doutorado da Solid-State Circuits Society (SSCS), 2015. Seus alunos de pesquisa conquistaram vários prémios, incluindo o Distinguished Design Award no IEEE A-SSCC Student Design Contest, 2020.

Ele é membro sénior do IEEE. Ele atua como membro do subcomitê de conversor de dados TPC do IEEE A-SSCC 2023 e recebeu o prémio de revisor SSCS 2023.

HOME

SOBRE NÓS NOSSOS

APRESENTADORES

NOSSOS CLIENTES

DEPOIMENTOS

PRÓXIMOS CURSOS

CURSOS ANTERIORES

CONTATO

Cadastre-se em nossa newsletter

Nome e sobrenome

E-mail

SE INSCREVER

Hooman Reyhani

© Direitos Autorais 2023

Orgulhoso membro do IEEE e

SSCS

in

UPCOMING COURSES

UPCOMING COURSES

Online Short-Course on

“Extreme SAR ADCs – Exploring New Frontiers”

Prof. Chi-Hang Chan (University of Macau)

Dates: 7th/9th/13th/16th/20th/23rd/27th/30th May 2024

Live-Virtual Zoom Lectures

Online Short-Course on

“Extreme SAR ADCs – Exploring New Frontiers”

Prof. Chi-Hang Chan (University of Macau)

Dates: 7th/9th/13th/16th/20th/23rd/27th/30th May 2024

Live-Virtual Zoom Lectures

COURSE OUTLINE

The ever-increasing appetite for higher data-rates, from communication to automotive to industrial to healthcare to cloud computing and AI, is the driving force behind the continued research and development of multi-GSPS SAR-type ADCs at extended resolutions.

This cutting-edge course celebrates twenty years of remarkable Time-Interleaved (TI) SAR ADC architecture innovations and inspired circuit design techniques, since the first ever reported 6-bit 600MSPS TI SAR ADC implementation on 90nm Digital CMOS at ISSCC 2004, by providing an in-depth walkthrough from theoretical to practical considerations on extreme speed SAR ADCs. The participants will be guided from fundamental concepts to state-of-the-art implementations followed by practical case studies, continuously exploring new frontiers to extend present day performance.

The course begins by taking a deep dive into interleaver topologies of massive TI SAR ADCs, discussing non-idealities, design considerations, modeling techniques and detailed case study.

This is followed by paying specific attention to the design challenges and solutions of peripheral blocks that are essential for high-performance massive TI ADCs: the input buffer and reference buffer.

Other key SAR ADC blocks, i.e. extreme sampler, comparator, residue amplifier and clocking, are also examined, progressing from fundamental concepts to advanced techniques followed by comprehensive case studies.

Subsequently, the course explores two architectures renowned for their high-speed and energy-efficiency: SAR and Pipeline-SAR ADCs. The emphasis will be on their high-speed implementation varieties, which are specifically fit for extensive interleaving. Once again, the lectures follow a progression from fundamental concepts to state-of-the-art advancements, summarizing with case studies.

Moving forward, digitally-assisted TI SAR ADCs are presented with an in-depth discussion of inter-channel non-idealities and calibration techniques, including input buffer distortion calibration.

The course will conclude with a discussion of good layout practices, tips and considerations for successful implementation of advanced, extremely high-speed SAR-type ADCs.

The recommended target audience for this course are analog and mixed-signal design engineers looking to get into ADC design as well as those already working with ADCs, interested to learn advanced state-of-the-art ultra-high-speed ADC design techniques. Familiarity with fundamental ADC concepts will be beneficial but is not a pre-requisite.

Duration: 16 hours

Format: 8 'Live-Virtual' sessions, scheduled over a 4-week period, with twice-weekly, 2-hour lectures including interactive Q&A. Each exciting lecture will consist of a standard presentation followed by case studies.

Work: Homework assignments (optional) will consolidate the learning from the lectures.

Included: Course notes (PDF), homework assignments (PDF), course home page, lecture playback* (up to 12 months), class forum & attendance certificate.

*Facilitates the opportunity to catch-up with missed lecture(s) due to time-zone difference, work deadlines, etc. or simply to review the lecture recording(s) at your own pace and convenience.

Fees:

EUR 495 (Payment/PO Until 03/03/2024) Extended To 15th March 2024

EUR 645 (Payment/PO From 04/03/2024) From 16th March 2024

For course registration, more information or subscription to our newsletter

Duration: 16 hours

Format: 8 'Live-Virtual' sessions, scheduled over a 4-week period, with twice-weekly, 2-hour lectures including interactive Q&A. Each exciting lecture will consist of a standard presentation followed by case studies.

Work: Homework assignments (optional) will consolidate the learning from the lectures.

Included: Course notes (PDF), homework assignments (PDF), course home page, lecture playback* (up to 12 months), class forum & attendance certificate.

*Facilitates the opportunity to catch-up with missed lecture(s) due to time-zone difference, work deadlines, etc. or simply to review the lecture recording(s) at your own pace and convenience.

Fees:

Early-Bird Rate: EUR 495 (Payment/PO Until 03/03/2024) Extended To 15th March 2024

Standard Rate: EUR 645 (Payment/PO From 04/03/2024) From 16th March 2024

For registration, more information or subscription to our newsletter

Course Programme

All Lectures @ (22:00-00:00 Tokyo) = (15:00-17:00 Milan) = (14:00-16:00 Dublin) = (09:00-11:00 Boston) = (06:00-08:00 San Diego)

7th May 2024

Lecture #1 – Massive Time-Interleaved SAR ADCs – A Deep Dive

Time-Interleaved Non-idealities; Front-End Interleaver Topologies; Modeling; Uncertainties; Case Study

9th May 2024

Lecture #2 – Input Buffer and Reference Buffer – Impairments and Remedies

Distortions; Input Buffer Topologies; Linearization Techniques; Case Study;
Reference Ripple; Reference Buffer Topologies; Ripple Suppression Techniques; Case Study

13th May 2024

Lecture #3 – Extreme Samplers and Comparators

Bootstrapped; Dynamic Comparators; Noise; Offset and Metastability

16th May 2024

Lecture #4 – Clocking and Extreme Amplifier Overview

Jitter; Re-timer; Open and Closed-Loop Residue Amplifiers

20th May 2024

Lecture #5 – State-of-the-Art Low-Resolution High-Speed SAR ADCs

Single-bit/cycle; Multi-bit/cycle; DAC; SAR Loop; SAR Logic; Redundancy; Case Study

23rd May 2024

Lecture #6 – Extended Resolution and High-Speed: Pipeline-SAR ADCs
Overview; Comparison with SAR ADCs; State-of-the-Art MDACs; Case study

27th May 2024

Lecture #7 – Digitally-Assisted Time-Interleaved SAR ADCs
Offset, Gain, Timing Skew and Input Buffer Distortion Calibration Techniques

30th May 2024

Lecture #8 – High-Speed ADC Design and Verification Practices
Design Flow; Critical Paths; Power/Ground Layout Planning; Case Study



Chi-Hang Chan received the B.S. degree in electrical engineering from University of Washington, Seattle, USA, in 2008, the M.S. and Ph.D. degree from the University of Macau, Macao, China, in 2012 and 2015, respectively.

He was a special scientist at the University of California, Los Angeles, USA, in 2016, working on high performance analog-to-digital converters (ADCs).

Prof. Chan is currently an Associate Professor at the University of Macau, Macao, China, where he leads a large research team, working on various types of ADCs, PLLs, Smart Time-of-Flight and AI. His research interests include high-speed Nyquist, wideband oversampling ADCs, ADC calibrations, ring oscillator-based PLLs, and mixed-signal circuits.

He has published over 100 peer-reviewed papers, including 18 ISSCC papers, 22 JSSC papers, 26 Solid-State conference and VLSI conference papers between 2011-2024.

Dr. Chan is a multi-award winner, including 5-time Macau Science and Technology Development Fund (FDCT) Technological Invention Award for outstanding academic and research achievements in microelectronics. He is the recipient of the Solid-State Circuits Society (SSCS) Pre-doctoral Achievement Award, 2015. His research students have achieved various awards, including the Distinguished Design Award at the IEEE A-SSCC Student Design Contest, 2020.

He is a senior member of IEEE. He serves as a data converter subcommittee TPC member of IEEE A-SSCC 2023 and received SSCS reviewer reward 2023.

OUR EXCITING LIVE-VIRTUAL SHORT-COURSE (MAY 2024)

TO BE UNVEILED HERE – 12TH FEBRUARY 2024

STAY TUNED!

OUR EXCITING LIVE-VIRTUAL SHORT-COURSE (MAY 2024)

TO BE UNVEILED HERE – 12TH FEBRUARY 2024

STAY TUNED!

Hooman Reyhani

© Copyright 2023

Proud Member of IEEE & SSCS

- HOME
- ABOUT US
- OUR PRESENTERS
- OUR CLIENTS
- TESTIMONIALS
- UPCOMING COURSES
- PREVIOUS COURSES
- CONTACT

JOIN OUR NEWSLETTER

Name & Surname

Name*

Email

Email*

SUBSCRIBE

JOIN OUR NEWSLETTER

Name & Surname

Name*

Email

Email*

SUBSCRIBE

- HOME
- ABOUT US
- OUR PRESENTERS
- OUR CLIENTS
- TESTIMONIALS
- UPCOMING COURSES
- PREVIOUS COURSES
- CONTACT

Proud Member of IEEE & SSCS

Hooman Reyhani

© Copyright 2023

Hooman Reyhani

© Copyright 2023

